

فناوری حافظه‌های نیمه‌هادی فرار: گذشته، حال و آینده

مجتبی جودکی*

چکیده: اهمیت و تأثیر صنعت الکترونیک بر زندگی بشر در قرن گذشته و در دوران کنونی بر کسی پوشیده نیست. این صنعت، در قرن بیست و یکم، همچنان با روندی پرشتاب و مطمئن می‌رود تا با استفاده از فناوری نانو با رشد تکاملی و انقلابی خود با استفاده از نوآوریها و اختراعات طایه‌دار بهبود زندگی بشر در بسیاری از زمینه‌ها از جمله فناوری رایانه، فناوری اطلاعات، فناوری زیستی، صنعت حمل و نقل، سامانه‌های دفاعی و وسایل الکترونیکی روزمره باشد. هم‌اکنون فناوری ساخت مدارهای مجتمع ادوات نیمه‌هادی (ICs)، به‌تنهایی، درآمدی بیش از ۳۰۰ میلیارد دلار در سال را ایجاد می‌کند و از این مقدار بیش از یک‌پنجم آن به صنعت ساخت مدارهای مجتمع حافظه‌های نیمه‌هادی تعلق دارد که متأسفانه، از این بازار عظیم جهانی کشور عزیزمان در میان تولیدکنندگان حتی سهم اندکی نیز ندارد. در این مقاله پس از بررسی کوتاه در باره دسته‌بندی، تاریخچه و خاستگاه حافظه‌های مختلف، به زمینه‌های کاربرد، مزیتها و کاستیهای حافظه‌های فرار و گلوگاههای توسعه فناوری آنها در دهه گذشته و چگونگی رفع آن گلوگاهها پرداخته و در نهایت، چند نمونه از جدیدترین فناوریهای حافظه‌های پویا ارائه شده است.

واژه‌های کلیدی: حافظه‌های نیمه‌هادی، حافظه‌های فرار، حافظه‌های غیر فرار.

* دانشیار گروه مهندسی برق دانشگاه فردوسی مشهد، مشهد، ایران. joodaki@um.ac.ir

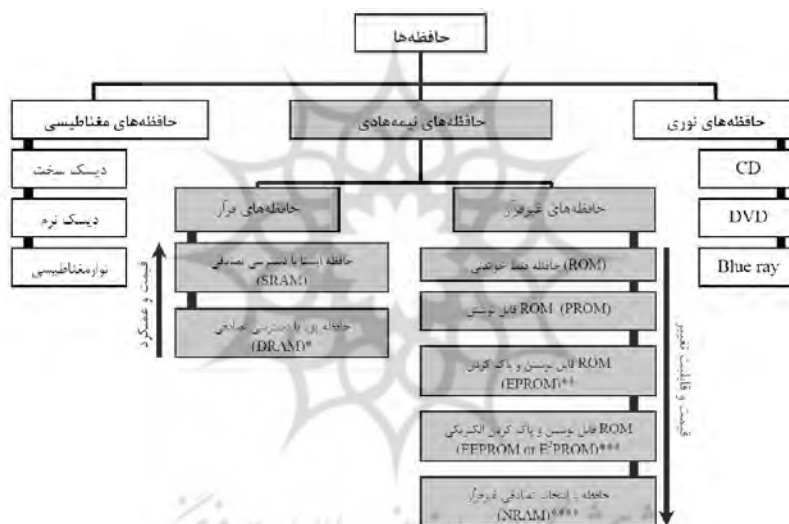
(دریافت مقاله: ۱۳۹۳/۱/۱۸)

(پذیرش مقاله: ۱۳۹۳/۴/۲۹)

1. Evolution
2. Revolution
3. Innovations
4. Inventions

۱. مقدمه

حافظه‌های نیمه‌هادی به دو دسته حافظه‌های فرآر و حافظه‌های غیرفرآر تقسیم می‌شوند (شکل ۱). حافظه‌های فرآر خود شامل دو دسته مهم است: ۱. حافظه‌های ایستا با دسترسی تصادفی (SRAM) که نیازی به تازه‌سازی داده‌ها ندارد؛ ۲. حافظه‌های پویا با دسترسی تصادفی (DRAM) که به تازه‌سازی داده‌های ذخیره شده نیاز دارد. حافظه‌های غیرفرآر، که با قطع شدن منبع توان نیز حداقل به مدت ده سال داده‌های ذخیره شده را به‌طور مطمئن و صحیح نگهداری می‌کنند، خود به چند دسته تقسیم می‌شوند که نوع فلش آن اکنون بازاری بیش از ۲۰ میلیارد دلار در سال را به خود اختصاص داده است [۱].



* عمل خواندن اطلاعات در DRAM مخرب است و داده‌ها نیاز به تازه‌سازی دارند.

** داده‌ها در EPROM به صورت الکتریکی نوشته و با استفاده از تابش نور فرابنفش پاک می‌شوند.

*** در EEPROM یا همان فلش عمل پاک کردن به صورت یک بلوک انجام می‌گیرد، در حالی که در E²PROM تغییر داده‌ها به صورت تک‌بایت قابل اجراء است.

**** همانند Magnetic RAM (MRAM), Ferroelectric RAM (FeRAM), Phase Change RAM (PCRAM), Resistive RAM (RRAM) و غیره.

شکل ۱: دسته‌بندی حافظه‌های نیمه‌هادی که در حال حاضر به‌صورت گسترده استفاده می‌شوند [۲]

1. Volatile
2. Nonvolatile
3. Static Random Access Memory
4. Refresh
5. Dynamic Random Access Memory
6. Flash Memory

در طی چند دهه گذشته ایده‌های اساسی و نوینی برای سلول حافظه همه‌منظوره ارائه شده‌اند که به نظر می‌رسد این نوع حافظه در آینده‌ای نه‌چندان دور جایگزین تمام انواع حافظه‌های نیمه‌هادی باشد. هدف نهایی این پژوهشها یافتن سلول حافظه‌ای غیر فرآر، سریع، ارزان، کم‌مصرف، سبک، با چگالی بالا، مقیاس‌پذیر برای نسلهای بعدی، با قابلیت اطمینان بالا و با قابلیت نگهداری داده به مدت ده سال است که با فناوری CMOS سیلیکونی سازگار باشد. با اینکه اختراع برخی از این سلولها حتی به دهه هفتاد میلادی برمی‌گردد، این حافظه‌ها به حافظه‌های نوظهور مشهورند که تاکنون چهار نوع آنها شامل حافظه مقاومت مغناطیسی با دسترسی تصادفی (MRAM)، حافظه فروالکتريکی با دسترسی تصادفی (FeRAM)، حافظه تغییر فاز با دسترسی تصادفی (PRAM) و حافظه مقاومتی با دسترسی تصادفی (RRAM)، نه فقط محصولات را به بازار عرضه و ارجحیت خود را در بعضی از کاربردها بر دیگر انواع حافظه‌ها اثبات کرده‌اند، بلکه بر اساس پیش‌بینیها امید است حداکثر تا سال ۲۰۱۸ میلادی فقط حافظه‌های MRAM و PRAM بازاری با بیش از ۱/۶ میلیارد دلار درآمد در سال را ایجاد کنند [۳].

این مقاله به حافظه‌های فرآر پرداخته شده است. در طراحی حافظه‌های SRAM، به‌علت استفاده از فناوری مدارهای مجتمع منطقی، معمولاً فناوری مجزایی استفاده نمی‌شود و در واقع، طراحی این نوع حافظه‌ها تابع فناوری مدارهای مجتمع منطقی است که برای بهترین عملکرد CPU بهینه می‌شود. حافظه‌های DRAM برخلاف SRAMها بیشتر به صورت مجزا استفاده می‌شوند که این امر باعث ایجاد فناوری خاص خودشان شده است. در این مقاله ابتدا روند تکامل سلولهای مرسوم DRAMهای پشته‌ای و گودالی، از سلولهای با جانمایی 8F2 (که F حداقل ابعاد قابل ساخت است) تا سلولهای با جانمایی 6F2 و 4F2 که بتازگی وارد بازار شده‌اند، توضیح داده شده و همچنین، محصولات طراحی شده برای آینده بازار DRAM همچون سلول تک‌ترانزیستوری DRAM و HMC نیز بیان شده است.

1. Universal Memory Cell
2. Emerging Memories
3. Magnetoresistive RAM
4. Ferroelectric RAM
5. Phase Change RAM
6. Resistive RAM
7. Logic
8. Stack
9. Trench
10. Hybrid Memory Cube

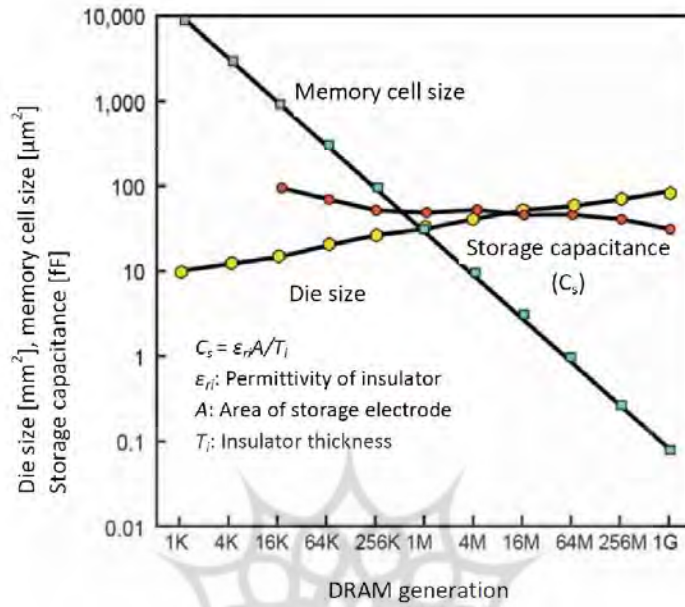
۲. حافظه‌های فرآر

همان طور که قبلاً بیان شد، SRAM و DRAM دو دسته مهم از حافظه‌های فرآر هستند که طی چند دهه گذشته به سرعت تکامل یافته‌اند؛ چگالی بالا، توان پایین و قیمت کم آنها موجب بهبود عملکرد و افزایش توانایی خرید بسیاری از سامانه‌های الکترونیکی همچون رایانه‌ها، سامانه‌های مخابراتی و وسایل الکترونیکی مورد استفاده در منازل شده است. در ادامه چون SRAM معمولاً از فناوری مدارهای منطقی استفاده می‌کنند، فقط به فناوری حافظه‌های DRAM پرداخته شده است.

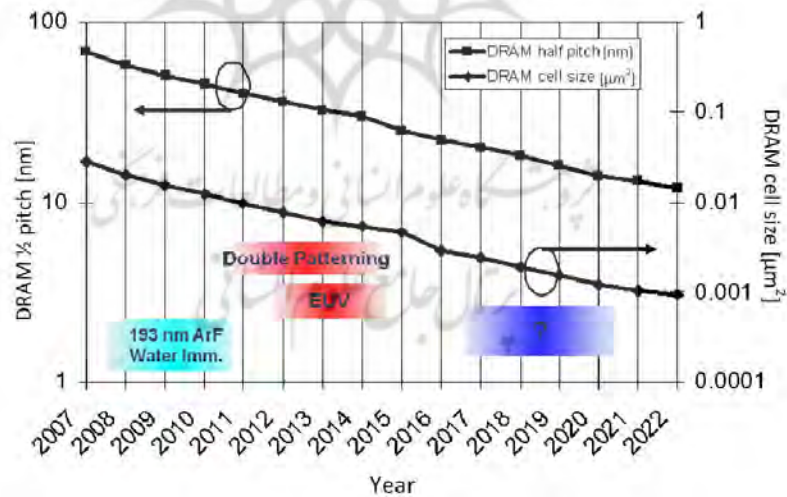
۳. حافظه‌های DRAM

در طول چهار دهه گذشته بازار موفق DRAM موجب شکوفایی بازار نیمه‌هادیها شده است. بی‌شک، مهم‌ترین دلیل این پیشرفت کاهش قیمت بوده است. تلاشهای بسیاری برای کاهش قیمت ساخت سلولهای حافظه DRAM انجام شده که نتیجه آن کاهش یک میلیون برابری قیمت نسبی بوده است، به طوری که اکنون قیمت ۱ گیگابایت حافظه DRAM کمتر از قیمت ۱ کیلوبایت در سال ۱۹۷۰ میلادی است. این کاهش قیمت از سه طریق افزایش قطر ویفر تا بیش از ۱۲ اینچ، کاهش یک‌سومی سطح هر سلول حافظه نسبت به نسل قبلی و افزایش ده برابری سطح هر تراشه (شکل ۲) حاصل شده است [۴]. روند کاهش گره فناوری و اندازه سلول DRAM بر اساس ویرایش ۲۰۰۷ نقشه‌راه بین‌المللی فناوری نیمه‌هادیها در شکل ۳ ارائه شده است [۵]. اگر چه تا قبل از سال ۲۰۱۲ فتولیتوگرافی غوطه‌ور در آب 193nm ArF برای گره‌های فناوری بزرگ‌تر از ۶۰ نانومتر کفایت می‌کرد، اکنون برای ابعاد کوچک‌تر روشهای جدیدتر و پیچیده‌تری همچون فتولیتوگرافی با استفاده از نور منتهی‌الیه فرابنفش یا الگودهی دوگانه باید به کار گرفته شوند. برای گره‌های فناوری کوچک‌تر از ۲۲ نانومتر [از سال ۲۰۱۵ به بعد] هنوز نوع لیتوگرافی مناسب تولید انبوه در صنعت قطعی نیست، اما لیتوگرافی با استفاده از نور عمیق منتهی‌الیه فرابنفش و لیتوگرافی منقوشی گزینه‌های انتخابی بسیار محتمل هستند.

1. Technology Node e.g. DRAM half-pitch
2. Argon Fluoride Immersion Photolithography
3. Extreme Ultra Violet (EUV)
4. Double Patterning
5. Deep Extreme Ultra Violet (DEUV)
6. Imprint Lithography



شکل ۲: کاهش اندازه سلول حافظه DRAM تولید انبوه [۴]



شکل ۳: روند کاهش گره فناوری و سطح مقطع برای سلول DRAM با جانمایی 6F2 براساس ویرایش ۲۰۰۷ نقشه راه بین المللی فناوری نیمه هادیها [۵]

در شکل ۴ یک سلول حافظه DRAM، که از یک ترانزیستور دسترسی و از یک خازن ذخیره‌سازی تشکیل شده، نشان داده شده است. خازن قلب سلول DRAM است که به دو صورت پشته‌ای و گودالی ساخته می‌شود در شکل ۵ روند تکاملی ساخت خازنهای پشته‌ای و گودالی نشان - داده شده است. خازن گودالی چگالی بالاتری را به دست می‌دهد، اما فرایند ساخت پیچیده‌تری دارد. از آنجا که خازنهای گودالی قبل از ترانزیستور ساخته می‌شوند و حرارت بالای فرایند ساخت ترانزیستور موجب خرابی آنها می‌شود، مواد دی‌الکتریک با ضریب دی‌الکتریک بزرگ با فرایند ساخت خازنهای گودالی سازگار نیستند.

چه خازن به صورت گودالی ساخته شود و چه به صورت پشته‌ای، با کوچک سازی سلول حصول خازن ذخیره‌سازی با ظرفیت لازم (۳۰ - ۲۵ fF) از چالشهای اساسی طراحی سلولهای نسل جدیدتر خواهد بود. به طور کلی، سه رویه برای افزایش خازن ذخیره‌سازی وجود دارد: ۱. افزایش سطح خازن نسبت به سطح تراشه؛ ۲. کاهش ضخامت معادل عایق؛ ۳. افزایش ضریب دی‌الکتریک عایق. استفاده از دانه‌های نیمکره‌ای سیلیکانی و خازنهای گودالی بطری شکل دو نمونه موفق رویه اول در صنعت هستند که در شکل ۶ مثال تحقق یافته آن نشان داده شده است.

معیارهای طراحی سلول DRAM علاوه بر چگالی بالا، شامل حاشیه خوب خواندن سیگنال، توان مصرفی کم، قابلیت اطمینان بالا، استقامت بالا در مقابل نوشته و پاک شدن، زمان نگهداری داده کافی و سرعت بالا می‌شود. فاصله زمانی بین ذخیره داده تا اولین خطای خوانده شده را زمان نگهداری داده می‌نامند. برای افزایش زمان نگهداری داده در سلولهای DRAM هم باید مقدار ظرفیت خازنی سلول را افزایش و هم تا حد امکان مؤلفه‌های مختلف جریان نشتی را کاهش داد. همچنین، برای افزایش سرعت سلولها باید جریان روشن ترانزیستور به اندازه کافی بزرگ باشد. الزامهایی که برای جریان نشتی ترانزیستور دسترسی سلول DRAM در نظر گرفته می‌شود، بسیار سختگیرانه‌تر و دقیق‌تر از آنها برای ترانزیستور کاربردهای منطقی است تا بدین وسیله زمان نگهداری داده سلول به

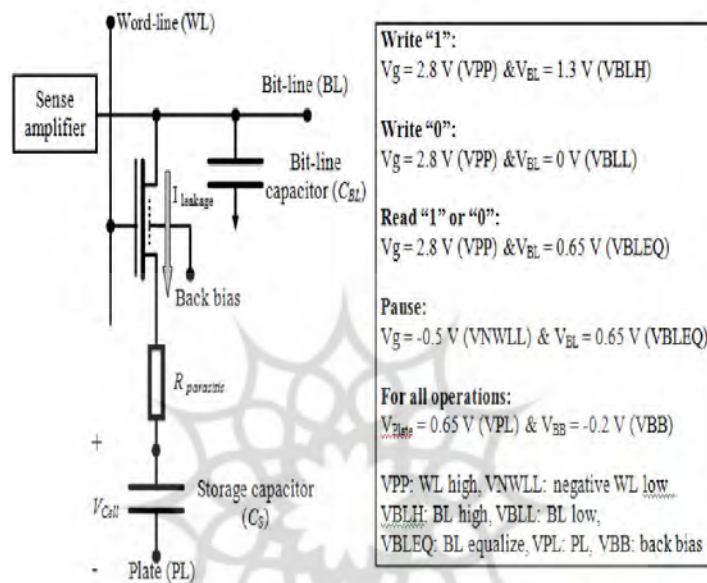
-
1. Access
 2. Storage Capacitor
 3. High-k Materials
 4. Scaling
 5. Hemispherical Silicon Grain (HSG)
 6. Bottle Shaped
 7. Sensing Signal Margin
 8. Endurance
 9. Retention-time

حداکثر برسد. در شکل ۷ مؤلفه‌های اصلی جریان نشتی سلول حافظه DRAM در دو ساختار پشته‌ای و گودالی نشان داده شده است. مؤلفه‌های جریانهای نشتی را می‌توان به سه گروه دسته‌بندی کرد [۲]: مؤلفه‌های جریان نشتی پیوند pn (جریان نشتی ایجاد شده در درین به وسیله گیت با ولتاژ تغذیه بزرگ منفی که به پدیده GIDL معروف است و جریان نشتی پیوند به بدنه)، جریانهای نشتی زیرآستانه (جریان زیرآستانه ترانزیستور دسترسی، جریان نشتی از طریق ترانزیستور طفیلی عمودی و جریان نشتی عبوری از زیر STI) و جریانهای نشتی دی‌الکتریک (جریان نشتی خازن و جریان نشتی اکسید گیت). جریان نشتی GIDL متأثر از همپوشانی گیت و درین، نمایه ناخالصی درین و ضخامت اکسید است. از طرفی، چگالی نقصهای شبکه سیلیکان و نمایه ناخالصی درین نیز در کنترل جریان نشتی پیوند به بدنه سهم بسزایی دارند. جریان نشتی زیرآستانه ترانزیستور دسترسی نیز به‌شدت به کاهش طول کانال و ولتاژ کاری وابسته است. مؤلفه جریان نشتی خازن ذخیره‌سازی داده با کاهش ابعاد سلول در نسلهای جدیدتر افزایش می‌یابد.

جریانهای نشتی موجب کم شدن زمان نگهداری داده در سلولهای DRAM می‌شوند. بنابراین، انجام دادن عملیات تازه‌سازی [هر ۶۴ میلی‌ثانیه در دمای ۷۰ درجه سانتی‌گراد] برای حصول اطمینان از ذخیره صحیح داده در سلول DRAM ضروری است. عملیات تازه‌سازی موجب می‌شود تا سلول حافظه DRAM از سایر سلولهای حافظه توان مصرفی بیشتری داشته باشد.

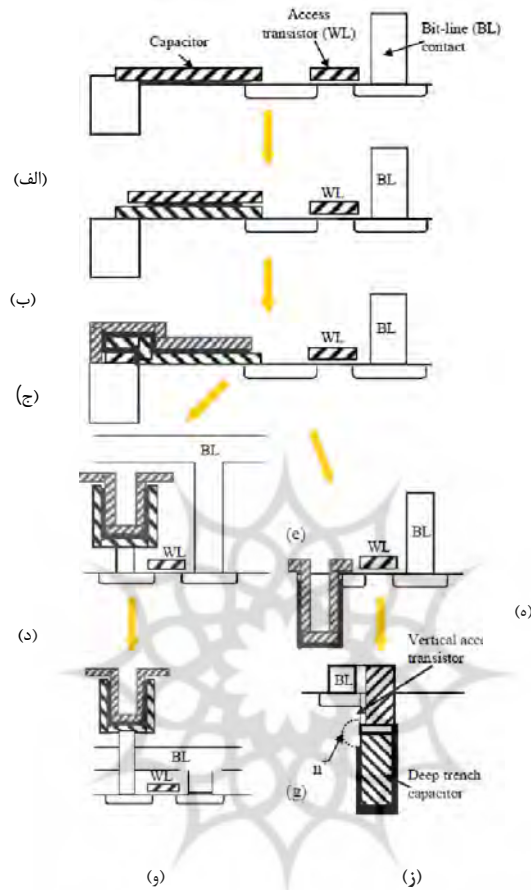
پژوهشگاه علوم انسانی و مطالعات فرهنگی
پرتال جامع علوم انسانی

-
1. Gate Induced Drain Leakage Current (GIDL)
 2. Sub-threshold
 3. Shallow Trench Isolation (STI)
 4. Node-leakage
 5. Doping Profile



شکل ۴: مدار معادل سلول نوعی 1T/1C DRAM به همراه ولتاژهای تغذیه DDR I¹

پژوهشگاه علوم انسانی و مطالعات فرهنگی
 پرتال جامع علوم انسانی



شکل ۵: سیر تکاملی سلول DRAM. (الف) سلول مسطح با یک لایه پلی سیلیکان و یک لایه اکسید

(ب) سلول مسطح با خازن مسطح با دو لایه پلی سیلیکانی، (ج) سلول نیمه مسطح با سه لایه

پلی سیلیکانی برای افزایش سطح، (د) سلول سه بعدی پشته‌ای با ترکیب بندی خازن زیر خطییت، (ه) سلول

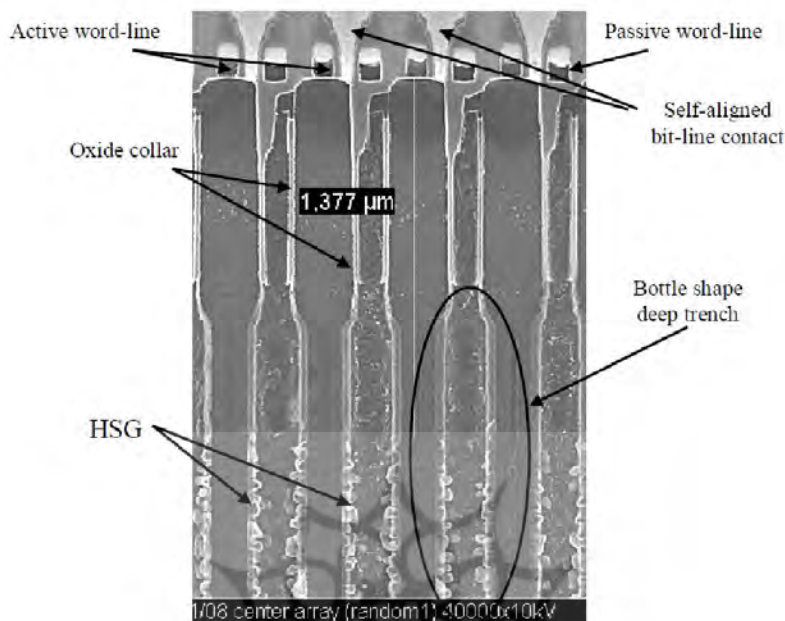
سه بعدی گودالی، (و) سلول سه بعدی پشته‌ای با ترکیب بندی خازن بالای خطییت و (ز) سلول سه بعدی

گودالی با ترانزیستور دسترسی عمودی است. سلولهای سه بعدی جدید از ساختار خازن

ذخیره سازی پلی سیلیکان - عایق - پلی سیلیکان (PIP)، پلی سیلیکان - عایق - فلز (PIM) و فلز - عایق -

فلز استفاده می کنند [۶].

1. Capacitor Under Bit-line (CUB)
2. Capacitor Over Bit-line (COB)



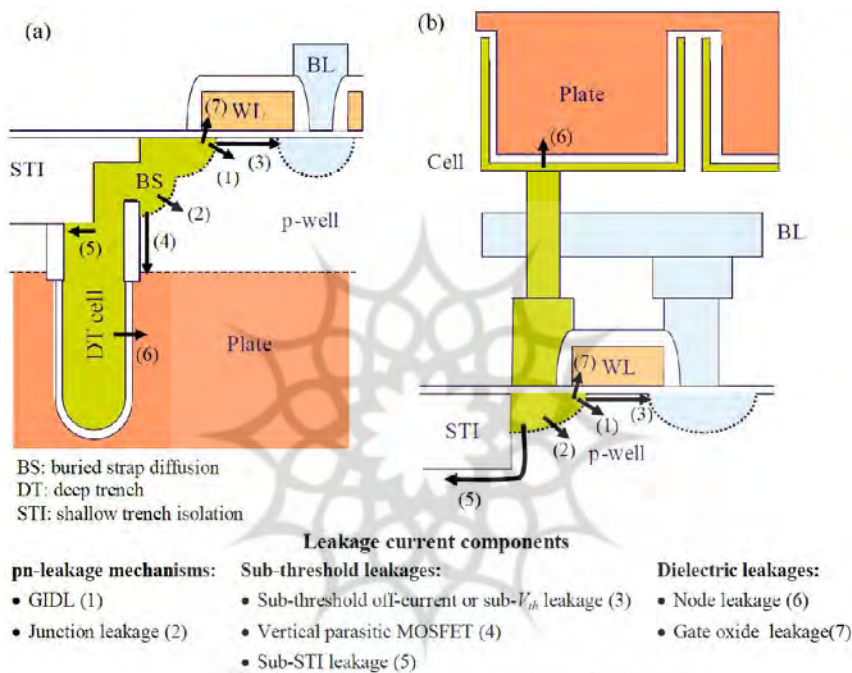
شکل ۶: سلول DRAM گودالی. بطری شکل بودن گودال و استفاده از دانه‌های نیمکره‌ای سیلیکانی (HSG) باعث افزایش ۳۰ درصدی خازن گودالی شده است.

فقط با به کارگرفتن تجهیزات ساخت بهتر برای تحقق ابعاد کوچک‌تر و بهینه‌سازی ساختار سلول DRAM، کاهش سالانه ۳۰٪ از قیمت تمام شده حافظه مقدور نخواهد بود. رویه دیگر برای کاهش قیمت استفاده از جانمایی 4F2 به جای 8F2 یا 6F2 برای سلول DRAM است. اگر چه مشکلات فناورانه بسیاری برای تحقق سلول DRAM با جانمایی 4F2 وجود داشته است، اما اخیراً شرکت‌های تولید کننده حافظه، از جمله سامسونگ، موفق به ارائه سلول 1T/1C-DRAM با جانمایی 4F2 شده‌اند [۷]. در شکل ۸ نمای کلی و جانمایی این گونه سلولها نشان داده شده است.

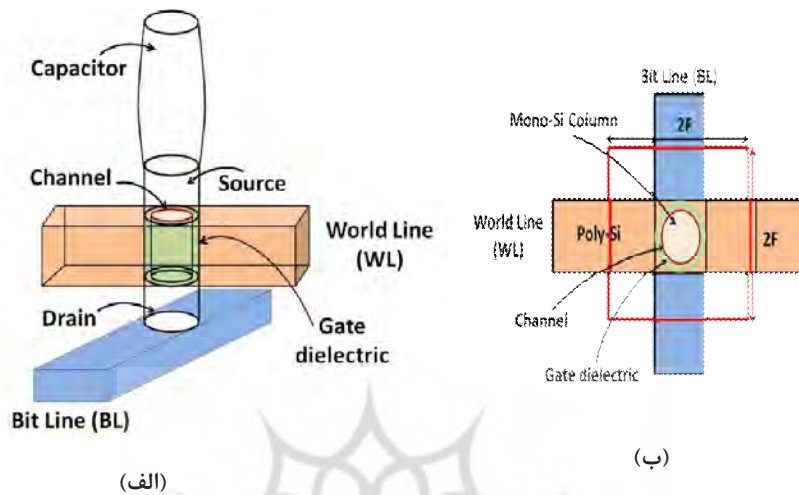
با کاهش بیشتر طول کانال ترانزیستور مشکلاتی اثرهای کانال کوتاه همچون کاهش ولتاژ آستانه و کاهش سد پتانسیلی به وسیله ولتاژ درین (DIBL) موجب افزایش جریان خاموش ترانزیستور دسترسی می‌شود. اگر چه می‌توان با افزایش مقدار ناخالصی کانال این مشکلات را رفع کرد، اما این امر خود موجب افزایش جریان نشتی پیوند pn خواهد شد. در طول دهه گذشته تلاش‌های

1. Short Channel Effects (SCEs)
2. Threshold Voltage Roll-off
3. Drain Induced Barrier Lowering (DIBL)

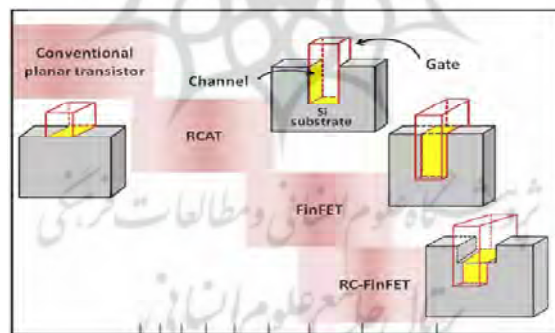
موفق زیادی انجام شده است تا با استفاده از ترانزیستورهای آرایه سه بعدی یا نا مسطح نه تنها اثرهای کانال کوتاه از بین برود، بلکه موجب بهبود دیگر ویژگیهای سلول DRAM همچون افزایش سرعت و کاهش جریان نشتی پیوند pn بشود. روند تکامل ترانزیستور آرایه سلول DRAM در شکل ۹ نشان داده شده است.



شکل ۷: مؤلفه‌های مهم جریان نشتی در سلولهای حافظه DRAM با ساختار (الف) گودالی و (ب) پشت‌های



شکل ۸: (الف) ساختار سلول DRAM با ترانزیستور آرایه عمودی با (ب) جانمایی 4F2 [۸]



L_g

شکل ۹: روند تکاملی ترانزیستور آرایه DRAM. RCAT موجب افزایش طول کانال و کاهش اثرهای کانال کوتاه می‌شود، اما FinFET علاوه بر این مزایا دارای هدایت بیشتر و سوینگ زیر آستانه^۲ بسیار عالی است [۸]

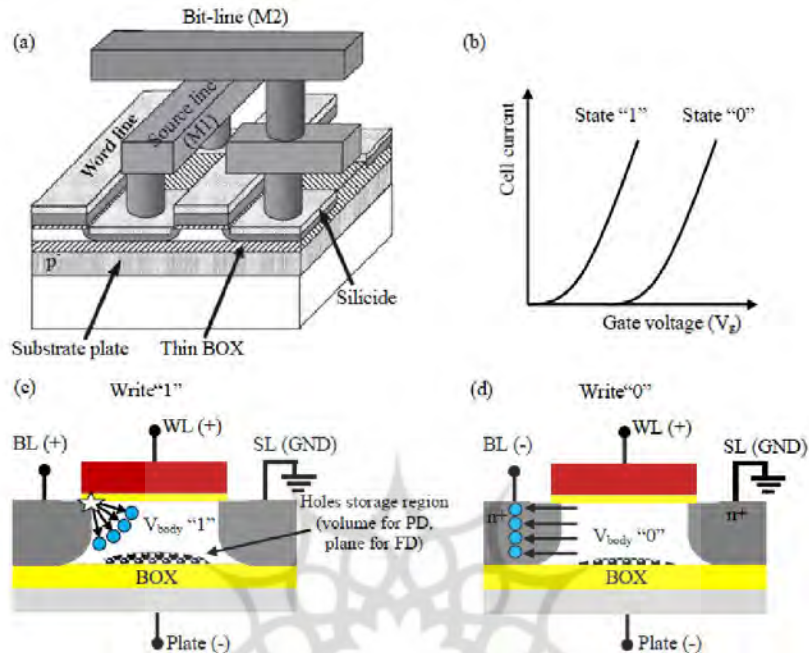
1. Recess Channel Array Transistor (RCAT)
2. Sub-threshold Swing

با کوچک‌سازی سلول DRAM باید ظرفیت خازنی ثابت باقی بماند و جدا از اینکه سلول از نوع گودالی باشد یا پشته‌ای، مجتمع سازی خازن کار بسیار سخت و پیچیده‌ای است. اخیراً برخی از انواع سلولهای DRAM که بدون خازن هستند، پیشنهاد و طراحی شده‌اند [۹]. سلول با بدنه شناور (FBC)^۱ انتخابی مناسب از نظر سادگی ساختار و قابلیت کوچک‌سازی بالاست. دو نوع FBC موجود است: حافظه با دسترسی تصادفی بدون خازن یا Z-RAM که به 1TFBC نیز معروف است و حافظه با دسترسی تصادفی با دو ترانزیستور یا 2TFBC. همان‌گونه که در شکل ۱۰ نشان داده شده است، در Z-RAM بار در بدنه ترانزیستور ذخیره می‌شود، اما در TT-RAM ترانزیستور دوم به جای خازن ذخیره‌سازی استفاده شده است.

ساختار 1TFBC قابل پیاده‌سازی با ترانزیستورهای مسطح در فناوری سیلیکان روی عایق (SOI) با کمترین هزینه‌ی اضافی در فرایند ساخت است. همچنین، با استفاده از این ساختار می‌توان به گره فناوری کمتر از ۲۲ نانومتر نیز دست یافت. اگر چه این فناوری به چگالی ذخیره‌سازی بیشتری منجر می‌شود و دارای پیچیدگی کمتری در ساخت سلول است، اما برای تجاری کردن آن مشکلاتی وجود دارد که باید حل شود. از مهم‌ترین این مسائل حاشیه نویز کم، مدارهای پیچیده خواندن داده مبتنی بر اندازه‌گیری جریان و زمان نگهداری کوتاه هستند [۱۱ و ۱۴].

پژوهشگاه علوم انسانی و مطالعات فرهنگی
پرتال جامع علوم انسانی

-
1. Floating Body Cell (FBC)
 2. Random Access Memory (RAM)
 3. Twin Transistor RAM (TT-RAM)
 4. Silicon On Isolator (SOI)



شکل ۱۰: (الف) شمایی از سلول بدنه شناور (FBC) با بدنه کاملاً تخلیه^۱ شده است. (ب) منحنی مشخصه‌های I-V ترانزیستور MOS برای حالت "1" و "0" است. در حالت "1" حاملهای اکثریت (حفره‌ها) به بدنه تزریق می‌شود و پتانسیل بدنه را بالا می‌برند که خود موجب کاهش ولتاژ آستانه و افزایش جریان درین می‌شود. در حالت "0" حفره‌ها از ناحیه خنثی بدنه استخراج و باعث افزایش ولتاژ آستانه و کاهش جریان درین می‌شوند. (ج) عمل نوشتن "1" است. (د) عمل نوشتن "0" است [۱۰].

مهم‌ترین گلوگاهها در راه کوچک‌سازی سلول 1T1C-DRAM عبارتند از: به‌دست آوردن ظرفیت خازنی مناسب برای ذخیره داده هنگامی که گره فناوری کاهش پیدا می‌کند، مسائل مربوط به استفاده از دی‌الکتریکهای با ضریب دی‌الکتریک بزرگ، طراحی ترانزیستور آرایه مناسب، کنترل جریانهای نشتی در محدوده قابل قبول، به‌کار بردن موادی با مقاومت پایین برای خطوط و خطبیت تا بتوان به سرعتهای قابل قبول دست یافت.

1. Fully Depleted (FD)
2. Word-line
3. Bit-line

یکی از آخرین نوآوریها در صنعت DRAM که شرکت مایکرون تکنولوژی در سال ۲۰۱۳ ارائه کرده، مکعب حافظه مرکب (HMC) است. HMC از بسته‌بندی سه‌بعدی تراشه‌های DRAM و تراشه کنترل‌کننده حافظه تشکیل شده است که با استفاده از فناوری «حفره در تراشه‌های سیلیکانی» (TSV) با هم ارتباط دارند. HMC نسبت به DDR3 بیش از ۱۵ برابر سریع‌تر است، ۷۰٪ توان مصرفی کمتر دارد و ۹۰٪ فضای کمتری اشغال می‌کند [۱۵].

۴. جمع‌بندی

در این مقاله ابتدا دسته‌بندی، تاریخچه و جایگاه حافظه‌های مختلف نیمه‌هادی معرفی شد و از میان آنها، در باره زمینه‌های کاربرد، مزیتها و کاستیهای حافظه‌های DRAM و گلوگاههای توسعه فناوری آنها در دهه گذشته و چگونگی رفع آن گلوگاهها بحث شد. روند تکامل سلولهای مرسوم DRAMهای پشته‌ای و گودالی، از سلولهای با جانمایی 8F2 تا سلولهای با جانمایی 4F2 که بتازگی وارد بازار شده‌اند، شرح داده شد. همچنین، محصولات طراحی‌شده برای آینده بازار DRAM همچون سلول تک‌ترانزیستوری DRAM و مکعب حافظه مرکب ارائه شدند.

مراجع

1. Chien, R. (2013), The flash proliferation in consumer electronics, *IHS electronics and media*, Vol. 1, No. 10, May 22.
2. Joodaki, M. (2012), Selected advances in nanoelectronic devices: logic, memory and RF, Berlin: Springer Verlag.
3. Report: "Emerging Non-Volatile Memory", Available at: <http://www.reportsnreports.com/reports/226131-emerging-non-volatile-memory.html>.
4. Sunami, H. (2008), The role of the trench capacitor in DRAM innovation, *IEEE SSCS Newsletter*, Vol. 13, No. 1, pp. 42 – 44.
5. The international technology roadmap for semiconductors (ITRS) (2009).
6. Gerritsen, E., Emonet, N., Caillat, C., Jourdan, N., Piazza, M., Fraboulet, D., Boeck, B., Berthelot, A., Smith, S. and Mazoyer, P. (2005), Evolution of materials technology for stacked-capacitors in 65 nm embedded-DRAM, *Solid-State Electronics*, Vol. 49, No. 11, pp. 1767-1775.
7. Song, K. W. et al. (2010), A 31 ns random cycle VCAT-Based 4F2 dRAM with manufacturability and enhanced Cell efficiency, *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 4, pp. 880-888.

-
1. Micron Technology Inc.
 2. Hybrid Memory Cube (HMC)
 3. 3D Packaging
 4. Through-silicon Vias (TSV)

8. Oishi, M. (2008), DRAM makers Cut Cost by 30% a Year to 2011, Available at: <http://techon.nikkeibp.co.jp/article/HONSHI/20071219/144399/>.
9. Okhonin, S., Nagoga, M., Sallese, J.M. and Fazan, P. (2002), A capacitor-less 1T-DRAM cell, *IEEE Electron Device Letters*, Vol. 23, No. 2, pp. 85–87.
10. Hamamoto, T. and Ohsawa, T. (2009), Overview and future challenges of floating body ram (FBRAM) technology for 32 nm technology node and beyond, *Solid-State Electronics*, Vol. 53, No. 7, pp. 676–683.
11. Avci, U.E., Ban, I., Kencke, D.L. and Chang, P.L.D. (2008), Floating body cell (FBC) memory for 16-nm technology with low variation on thin silicon and 10-nm BOX, *Proc. IEEE Int. SOI Conf.*, pp. 29–30.
12. Okhonin, S., Nagoga, M., Lee, C. W., Colinge, J. P., Afzalilian, A., Yan, R., Dehdashti Akhavan, N., Xiong, W., Sverdlov, V., Selberherr, S. and Mazure, C. (2008), Ultrascaled Z-RAM cell, *Proc. IEEE Int. SOI Conf.*, pp. 157–158.
13. Singh, M., Ciraula, M., Weiss, D., Wu, J., Bauser, P., de Champs, P., Daghighian, H., Fisch, D., Graber, P. and Bron, M. (2009), A 2ns-read-latency 4Mb embedded floating body memory macro in 45nm SOI technology, *IEEE Int. Solid-State Circuits Conf. Tech. Dig. (ISSCC)*, pp. 460–461.
14. Jang, T. S., Kim, J. S., Hwang, S. M., Oh, Y. H., Rho, K. M., Chung, S. J., Chung, S. O., Oh, J. G., Bhardwaj, S., Kwon, J., Kim, D., Nagoga, M., Kim, Y. T., Cha, S. Y., Moon, S. C., Chung, S. W., Hong, S.-J. and Park, S. W. (2009), Highly scalable zRAM with remarkably long data retention for DRAM application, *IEEE Symp. VLSI Technology Tech. Dig.*, pp. 234–235.
15. Jeddeloh, J. and Keeth, B. (2012), Hybrid memory cube new DRAM architecture increases density and performance, *Symp. on VLSI Technology*, pp. 87-88.

