

بررسی و مقایسه نانو ماسفت های دوگیتته با cntfet

اشرف السادات ضیائی بافقی^۱، محمدرضا شایسته^۲

۱- عضو هیئت علمی دانشگاه آزاد اسلامی واحد بافق

۲- عضو هیئت علمی دانشگاه آزاد اسلامی واحد یزد

چکیده

در دهه های اخیر به علت پیشرفت زیاد در الکترونیک، طول کانال ماسفت ها به مقیاس دِکا نانو و سرعت دو قطبی ها نیز به هزاران گیگاهرتز رسیده است. در چنین ماسفت هایی که اندازه قطعه از طول پراکندگی حامل کوچک تر است احتمال این که حامل ها کانال را از الکترودهای سورس به درین بدون مواجهه با رخداد پراکندگی طی کنند بسیار زیاد می باشد؛ به چنین تراپردی به اصطلاح ترابرد بالیستیک گویند. ولی در عمل مشخصات نانو ماسفت ها با حالت ایده آل و ترابرد بالیستیک فاصله داشته که این به خاطر وجود پراکندگی در کانال می باشد. در این کار پژوهشی علل ایجاد پراکندگی در کانال بررسی شده و در آخر راهکارهایی برای کاهش آن مطرح گردیده است. یکی از موارد کاهش پراکندگی کانال استفاده از نانولوله های کربنی در کانال بوده که تاثیرات آن مورد بررسی قرار گرفته است. در آخر نیز با استفاده از شبیه ساز سیلواکو منحنی مشخصه $I-V$ یک FET دو گیتته با CNTFET دوگیتته ترسیم و مقایسه شده است.

واژه های کلیدی: نانو ماسفت، CNTFET، ماسفت دوگیتته، پراکندگی

پژوهشگاه علوم انسانی و مطالعات فرهنگی
پرتال جامع علوم انسانی

۱- مقدمه

تکنولوژی ساخت ترانزیستورها در ابعاد کوچک به سرعت روبه رشد است. عملکرد قطعات نیم رسانا مبتنی بر کنترل جریان الکترون ها و حفره ها بوده که برای بررسی رفتار این ذرات در قطعات الکترونیکی در اندازه‌ی نانومتر (کمتر از ۱۰۰ نانومتر) لازم است آثار کوانتومی چون آثار اندازه و حبس کوانتومی مورد توجه قرار گیرند. رفتار نانوماسفت‌ها با طول کانال کمتر از ده نانومتر، به ویژه در صورتی که از موادی با تحرک پذیری بالا استفاده شود، شبه بالیستیک خواهد بود. با کوچک کردن ماسفت - ها جریان قابل توجه بیشتری نسبت به جریانی که ماسفت‌ها قبل از این داشته‌اند، گزارش شده و بدین دلیل فهمیدن عملکرد بالیستیک مهم است.

برای طراحی وسایلی با عملکرد بسیار بالا، پژوهش‌های تجربی به دلیل مشکلات زمانی، هزینه و غیره راه حل مناسبی نبوده بنابراین شبیه‌سازی وسیله به علت پیش‌گویی نتایج آزمایشات مورد توجه جدی قرار می‌گیرد. نانوماسفت‌ها نسبت به ماسفت - های متداول رفتار متفاوتی از خود نشان می‌دهند و تفاوت در رفتارشان نتیجه‌ی تغییر در پدیده‌های فیزیکی است که در وسایل با اندازه‌ی کوچک روی می‌دهد. با توجه به تغییرات به‌وجود آمده، مدل‌های مرسوم که بر پایه‌ی نظریه‌ی تعادل تراپد حامل‌ها هستند نمی‌توانند به درستی خصوصیات الکتریکی ابزارهای با هندسه نانومتر را پیش‌گویی کنند. معمولاً برای بررسی نانوماسفت‌ها از رهیافت‌های نیمه کلاسیک مبتنی بر حل معادله‌ی بولتزمن و یا رهیافت کوانتومی که مبتنی بر توابع گرین غیر تعادلی (NEGF)^۱ است، استفاده می‌گردد. در زمینه‌ی NEGF افراد زیادی از جمله م - لندستروم و داتا و در حوزه‌ی نیمه کلاسیک افرادی مانند رحمان تحقیقات بسیاری انجام داده‌اند. نتایج حاکی از این است که در مدل‌های کوانتومی کسر عمده‌ی از بار در سرتاسر سد تونل زده و در نتیجه جریان در حالت خاموش افزایش می‌یابد اما تونل زنی، جریان در حالت روشن را پایین آورده که این به دلیل الکترواستاتیک ماس (ثابت ماندن بار در بالای سد) می‌باشد. پس بطور کلی می‌توان گفت که در مقیاس بسیار کوچک مشخصه‌ی V_{DS} بر حسب I_{DS} در بسیاری از موارد همانند قطعات کلاسیکی است. بهر حال این دو مدل پدیده‌های قوی و پیچیده‌ای را در داخل قطعه نشان داده و به این نتیجه مطلوب رسیده‌اند که می‌توان توصیفی ساده از جریان بر حسب مشخصات ولتاژ ارائه نمود.

با کوچک سازی ابعاد ماسفت‌ها ترانزیستورهای مولکولی نیز در حال کشف و ساخته شدن هستند. در این بین ترانزیستورهای نانولوله‌های کربنی بسیار مورد توجه‌اند زیرا ساختار نواری یک بعدی آن‌ها پراکندگی را کاهش داده و در نتیجه قطعه در رژیم بالیستیک کار می‌کند.

۱-۱- ترانزیستور دوگیتته

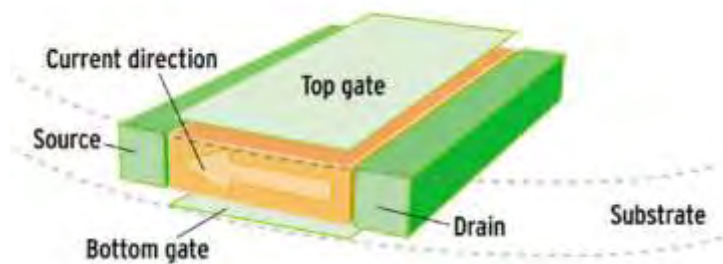
یک قطعه تک گیتته در مقیاس نانو شامل اثرات کانال کوتاه است که در ساختارهای چند گیتته همانند دوگیتته، سه گیتته و گیت سرتاسری در اطراف کانال این اثرات تقریباً از بین رفته است. ماسفت‌های دوگیتته از نظر الکترواستاتیک بهتر از یک ماسفت تک گیتته بوده و امکان بیشتری برای مقیاس گذاری طول گیت آن‌ها وجود دارد.

ماسفت‌های دوگیتته قطعاتی هستند که دارای دو گیت در هر دو طرف کانال هستند، یکی در سمت بالا که بعنوان گیت بالا و دیگری در سمت پایین کانال که بعنوان گیت پایین شناخته می‌شود. این مدل کنترل بهتری از کانال بوسیله الکترودهای گیت می‌دهد و تضمین می‌کند که هیچ بخشی از کانال دور از الکترودهای گیت نباشد.

ساختار ماسفت دو گیتته (DG MOSFET) موجب به حداقل رساندن اثرات کانال کوتاه شده و اجازه مقیاس گذاری بیشتر قطعه را تا حدود 10 nm می‌دهد.

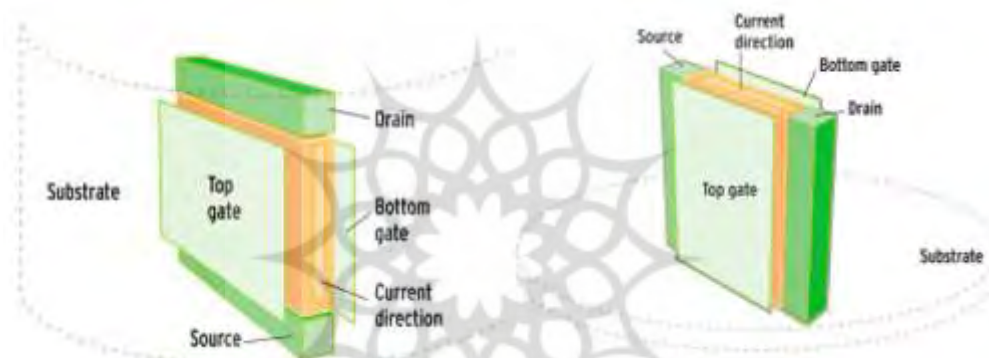
دو ساختار مسطح (planar) و غیر مسطح (Non-planar) برای مدلسازی ساختار دوگیتته وجود دارد.

^۱ Non Equilibrium Green Function



شکل ۱: شمایی از یک ماسفت DG با ساختار مسطح

مزایای استفاده از ساختار مسطح این است که یکنواختی ضخامت کانال سیلیکون را بهتر نموده و می‌تواند از فرایندهای تولید موجود استفاده کند. از جمله معایب این ساختار این است که ساخت گیت عقب (back gate) و دی الکتریک گیت پایین کانال سیلیکون دشوار است و دسترسی گیت پایین برای سیم کشی (wiring) قطعه آسان نیست (ممکن است چگالی قطعه را تحت تاثیر قرار دهد).



شکل ۲: شمایی از یک DG MOSFET با ساختار غیر مسطح

مزیت استفاده از ساختار غیر مسطح (نشان داده شده در شکل ۲) تشکیل و دسترسی آسانتر از هر دو گیت (Wraparound Gate) بوده و تراکم قطعه را افزایش می‌دهد. البته معایب آن شامل ضخامت محدود و معین کانال بوسیله لیتوگرافی (یکنواختی ضعیف)، گیت‌های عقب و جلو نمی‌توانند بطور جداگانه بایاس شوند و انحراف عمده‌ای که از پروسه‌های معمول وجود دارد می‌باشد. چون ساختار مسطح برای طراحی آسان است، برای طراحی و شبیه‌سازی از DG MOSFET با ساختار مسطح استفاده می‌شود.

۱-۲- ترانزیستور اثر میدانی ساخته شده با نانولوله های کربنی (CNTFET)

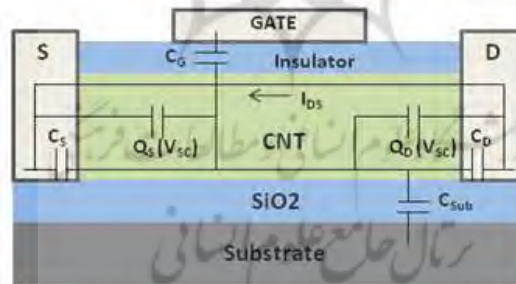
ترانزیستور اثر میدانی ساخته شده با نانولوله های کربنی (CNTFET) یک ترانزیستور اثر میدانی است که کانال آن از نانولوله های کربنی تک و یا مجموعه‌ای از نانولوله‌های کربنی به جای سیلیکون که معمولاً در ساختارهای سنتی استفاده می‌گردیده، ساخته شده است. برای اولین بار در سال ۱۹۹۸ توسعه قابل توجهی در CNTFETها بوجود آمد. با توجه به قانون مور، ابعاد قطعات خاص در یک مدار مجتمع با یک ضریب تقریبی دو در هر دو سال کاهش یافته که کاهش این چینی قطعات نیروی محرکه پیشرفت تکنولوژی تا اواخر قرن بیستم بوده است. با این حال، با توجه به اشاره ITRS در ۲۰۰۹، کوچک‌سازی بیشتر با محدودیت های جدی در رابطه با تکنولوژی ساخت و عملکرد قطعات، زمانی که ابعاد بحرانی به زیر محدوده ۲۲ نانومتر کوچک شده، مواجه گردیده است. این محدودیت‌ها شامل تونل زنی الکترون در کانال‌های کوتاه و فیلم

های عایق نازک، وجود جریان نشتی، اتلاف توان پسیو، اثرات کانال کوتاه، و تغییرات در ساختار قطعه و دوپینگ می باشد. با استفاده از نانولوله های کربنی تک و یا مجموعه ای از نانولوله های کربنی به جای مواد کانالی که در ساختارهای MOSFET های سنتی بزرگ به کار می رفته، می توان تا حدی بر این محدودیت ها فائق آمد.

۱-۳- انگیزه برای برنامه های کاربردی ترانزیستور

باند گپ نانولوله های کربنی به طور مستقیم تحت تاثیر چیرالیتی و قطرش قرار دارد. اگر این خواص بتواند کنترل شود، CNT-ها گزینه خوبی برای قطعات ترانزیستور نانومقیاس خواهند بود. علاوه بر این، به دلیل عدم وجود مرز در ساختار سیلندر کامل و توخالی CNT ها، هیچ پراکندگی مرزی وجود ندارد. CNT ها همچنین مواد شبه یک بعدی هستند که در آن ها تنها اجازه پراکندگی به جلو و پراکندگی به عقب داده می شوند و متوسط مسیرهای آزاد پراکندگی الاستیک در نانولوله های کربنی طولانی است که به طور معمول در حدود میکرومتر گزارش شده است. در نتیجه، انتقال شبه بالستیک می تواند در نانو لوله ها در طول نسبتا طولانی و میدان های پایین مشاهده شود. به علت پیوند کووالانسی کربن قوی در پیکربندی sp^2 نانولوله های کربنی از نظر شیمیایی خنثی هستند و قادر به انتقال مقادیر زیادی از جریان الکتریکی می باشند. در تئوری، نانولوله های کربنی همچنین به خوبی الماس و یاقوت کیود قادر به هدایت حرارت می باشند و به دلیل ابعاد کوچک خود، CNTFET را باید با قابلیت اطمینان با استفاده از توانی بسیار کمتر از یک دستگاه مبتنی بر سیلیکون، تغییر داد. برای انتخاب مواد مورد استفاده در هنگام ساخت CNTFET ملاحظات بسیاری را بایستی در نظر داشت. نانولوله های کربنی تک جداره نیمه هادی، نسبت به لوله های فلزی تک جداره و فلزی چند جداره ترجیح داده شده اند، زیرا آن ها قادرند برای بایاس های کوچک سورس و درین در زمان کمتری به طور کامل خاموش شوند. مطالعات بسیاری برای پیدا کردن یک ماده مناسب تماسی برای نانو لوله های کربنی نیمه هادی انجام شده است. بهترین مواد و به روزترین آن ها Pd است، به طوری که عملکرد و کار آن ها نزدیک به نانولوله بوده و به نانولوله چسبندگی خوبی دارد.

۲- استخراج (فرمول) جریان درین



شکل ۳: ساختار CNT گیت بالا

تحقیقات نظری بر روی جریان درین ترانزیستور گیت بالای CNT توسط T.Kazierski و همکاران انجام شده است. زمانی که یک میدان الکتریکی به یک ترانزیستور CNT اعمال می شود، یک شارژ حرکتی در لوله از سورس و درین وارد می گردد. این شارژها از چگالی حالت سرعت مثبت توسط سورس N_S پر شده و در حالات سرعت منفی توسط درین N_D پر شده است، و این چگالی ها توسط توزیع های احتمال فرمی دیراک تعیین می گردد.

$$N_S = \frac{1}{V} \int_{-\infty}^{+\infty} D(E) f(E - U_{SF}) dE \quad \text{معادله (۱)}$$

$$N_D = \frac{1}{V} \int_{-\infty}^{+\infty} D(E) f(E - U_{DF}) dE \quad \text{معادله (۲)}$$

و چگالی الکترونی تعادل برابر است با:

$$N_s = \frac{1}{\gamma} \int_{-\infty}^{+\infty} D(E) f(E - E_F) dE \quad \text{معادله (۲)}$$

که در آن چگالی حالات در کانال $D(E)$ ، U_{SF} و U_{DF} با روابط زیر تعریف می گردند.

$$D(E) = D_s \frac{E}{\sqrt{E^2 - (E_g/\gamma)^2}} \Theta(E - E_g/\gamma) \quad \text{معادله (۴)}$$

$$U_{SF} = E_F - qV_{SC} \quad \text{معادله (۵)}$$

$$U_{DF} = E_F - qV_{SC} - qV_{DS} \quad \text{معادله (۶)}$$

عبارت $\Theta(E - E_g/\gamma)$ وقتی برابر ۱ است که مقدار داخل پرانتز مثبت باشد و زمانی برابر ۰ است که مقدار داخل پرانتز منفی گردد. V_{SC} ولتاژ خودسازگار را نشان داده که بیان می کند انرژی CNT توسط ولتاژ ترمینال خارجی تحت تاثیر قرار گرفته است و به طور ضمنی به ولتاژ ترمینال قطعه و شارژهای خازن ترمینال، با معادله غیر خطی زیر معرفی می گردد.

$$V_{SC} = \frac{-Q_t + qN_s(V_{SC}) + qN_D(V_{SC}) - qN_s}{C_\Sigma} \quad \text{معادله (۷)}$$

که در آن Q_t نشان دهنده شارژ ذخیره شده در خازن ترمینال بوده و C_Σ ظرفیت کل ترمینال برابر مجموع خازن گیت، درین، سورس، و بستر نشان داده شده در شکل بالا می باشد. روش استاندارد برای حل این معادله ولتاژ خود سازگار روش تکراری نیوتن رافسون است. با توجه به نظریه انتقال بالستیک CNT، جریان درین ناشی از انتقال بار غیر تعادلی در سراسر نانولوله را می توان با استفاده از آمار فرمی دیراک محاسبه کرد.

$$I_{DS} = \frac{\gamma qKT}{\pi \hbar} \left[F_s \left(\frac{U_{SF}}{KT} \right) - F_s \left(\frac{U_{DF}}{KT} \right) \right] \quad \text{معادله (۸)}$$

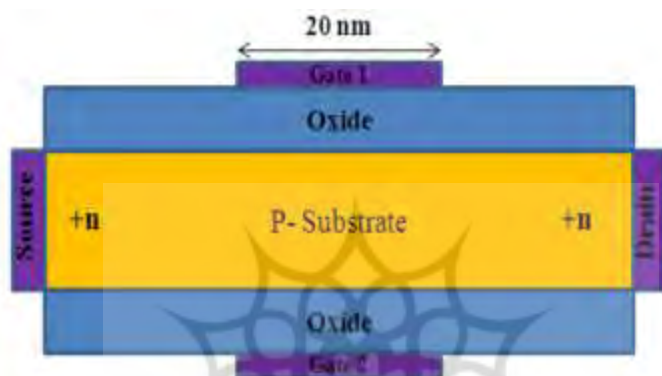
به طوری که F_s نشان دهنده انتگرال درجه صفر فرمی-دیراک و K ثابت بولتزمن می باشد. T دما و \hbar ثابت پلانک کاهش یافته است. این معادله می تواند به آسانی با روش طولانی حل ولتاژ خودسازگار حل گردد. اما محاسبات زمان زیادی گرفته و نیاز به حل ولتاژ خودسازگار با روش تکراری هستیم و این مشکل اصلی این گونه محاسبات است.

CNTFET ها خصوصیات متفاوتی در مقایسه با ماسفت ها در عملکردشان نشان می دهند. در حال حاضر در یک ساختار گیت مسطح یا صفحه ای، p-CNTFET جریان تقریباً 1500 A/m به ازای عرض واحد در اوردراپو گیت 0.16 V جریان ایجاد نموده در حالی که p-MOSFET تقریباً 500 A/m متر در همان ولتاژ گیت تولید می نماید. این جریان حالت روشن بهبود یافته از ظرفیت بالای گیت و انتقال کانال ناشی می شود. از آن جا که خازن موثر گیت در عرض واحد در CNTFET در مقایسه با p-MOSFET حدود دو برابر است، سازگاری با دی الکتریک گیت بالا-K مزیت قطعی برای CNTFET ها محسوب می گردد. سرعت حامل دو بار بالاتر از CNTFET ها نسبت به MOSFET ها، ناشی از افزایش تحرک و ساختار باند می باشد. علاوه بر این CNTFET ها، علاوه بر این، در حدود چهار برابر بیشتر هدایت عرضی دارند. کاهش جریان و داغ شدن CNT می تواند به علت درجه حرارت بالا رفته تا چند صد کلوین رخ دهد. به طور کلی، اثر خود-حرارتی به دلیل مکانیزم های مختلف اتلاف گرما در CNTFET نیمه هادی نسبت به یک فلز شدت کمتری دارد. بخش کوچکی از حرارت تولید شده در CNTFET از طریق کانال پخش شده و از بین می رود. گرمای توزیع شده به طور غیر یکنواخت بوده به نظر می رسد که بالاترین مقادیر در سورس و درین در دو طرف کانال باشد. بنابراین، دما به طور قابل توجهی در نزدیکی مناطق سورس و درین دچار کاهش می شود. برای نیمه هادی CNT، افزایش درجه حرارت تاثیر نسبتاً کوچکی در خصوصیات $V-I$ در مقایسه با سیلیکون می گذارد.

CNTFET های چند کاناله می تواند عملکرد با ثباتی پس از چند ماه داشته باشد، در حالی که CNTFET های تک کاناله معمولاً بعد از چند هفته کار در فضای محدود از کار می افتند. در CNTFET های چند کانال زمانی که برخی از کانال ها شکسته شده باشند، عملکرد ادامه می یابد در حالیکه این در مورد یک کانال اتفاق نمی افتد.

۳- مدلسازی و شبیه سازی قطعه

در این قسمت دو ساختار ماسفت دو گیته و CNTFET دو گیته با استفاده از ابزار TCAD سیلوکو با تکنولوژی 20 nm طراحی و مقایسه شدند. ابتدا ماسفت دو گیته ای بصورت شکل زیر و با مشخصات طول گیت 20 nm و ضخامت اکسید 1 nm ، فلز گیت با تابع کاری تنظیم شده با 4.17 eV ، ناحیه سورس و درین n-doped ($N_D = 1e + 20\text{ CM}^{-3}$)، ماده کانال با کانال دوپ شده ($N_C = 2.5e + 19\text{ CM}^{-3}$) با اطلس سیلوکو شبیه سازی گردید.

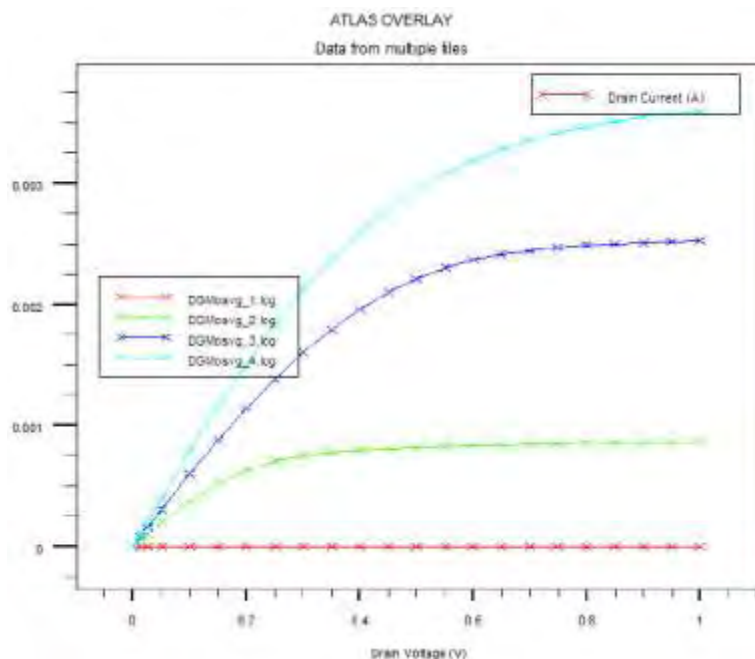


شکل ۴: ساختار شماتیکی از ماسفت دو گیته با طول گیت 20 nm

خروجی برنامه یعنی فایل ساختاری و لوگ فایل در ادامه (شکل های ۵ و ۶) آمده است.



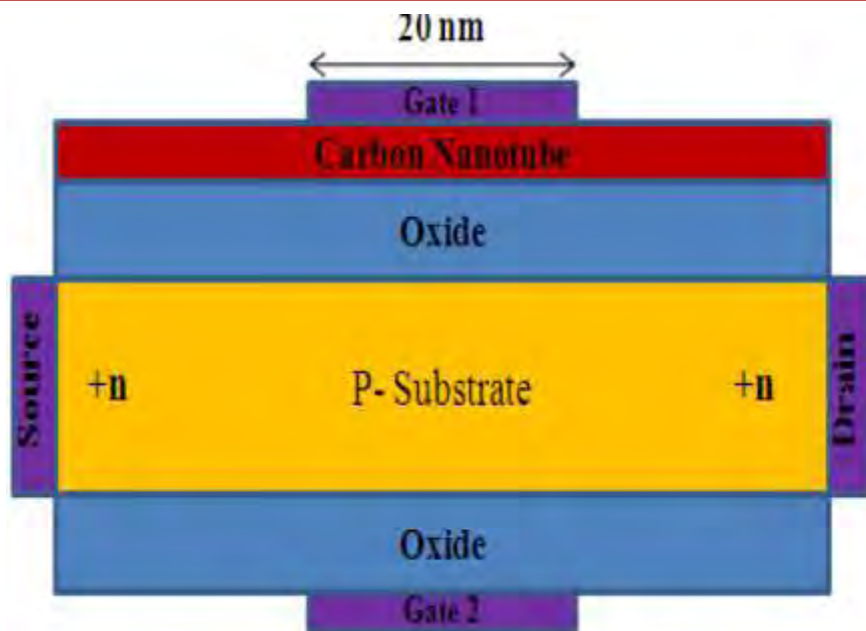
شکل ۵: ساختار دو بعدی قطعهی DG-MOSFET



شکل ۶: رسم منحنی ولتاژ درین-سورس بر حسب جریان درین-سورس و با در نظر گرفتن ولتاژ گیت ثابت ($0.5V$ و $1V$ و $2V$) در مرحله بعد CNTFET دوگیته با طول کانال $20nm$ ، ضخامت اکسید $1nm$ ، تابع کار فلز گیت $4.17eV$ ، $N_D = 1e + 20.CM^{-3}$ و $N_C = 2.5e + 19.CM^{-3}$ و با استفاده از مدل های SHR و CVT طراحی گردید.

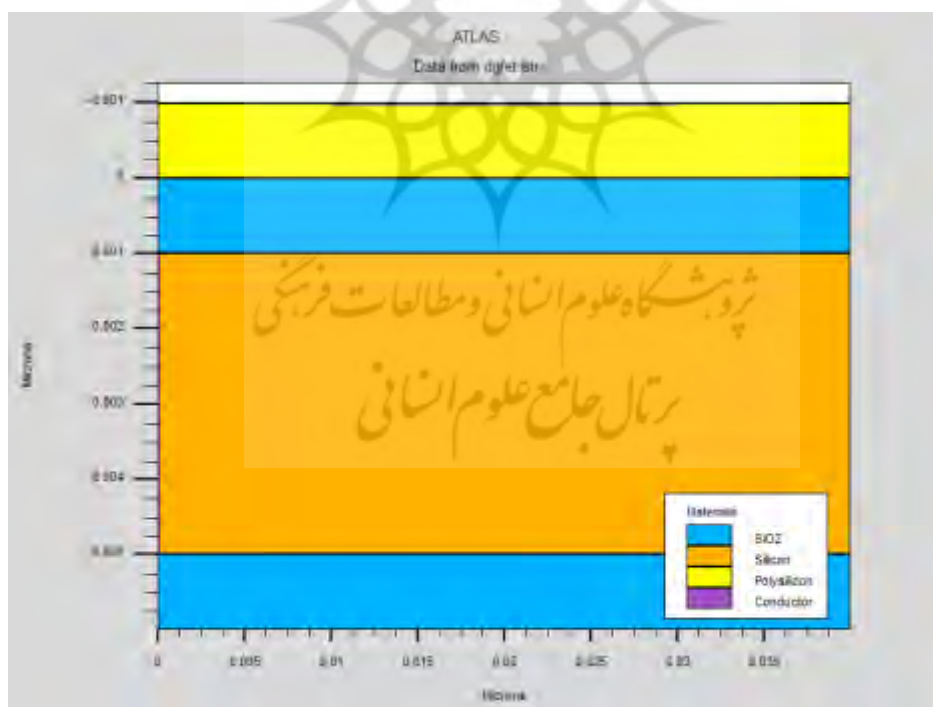
جدول ۱ : مشخصات در نظر گرفته شده برای مدل مورد نظر

Material	EG300 eV	MUN cm ² /V-s	MUP cm ² /V-s	χ eV
Polysilicon	1.08	1500	475	4.17
Carbon Nanotube	5.4	120,000	100,000	4.8

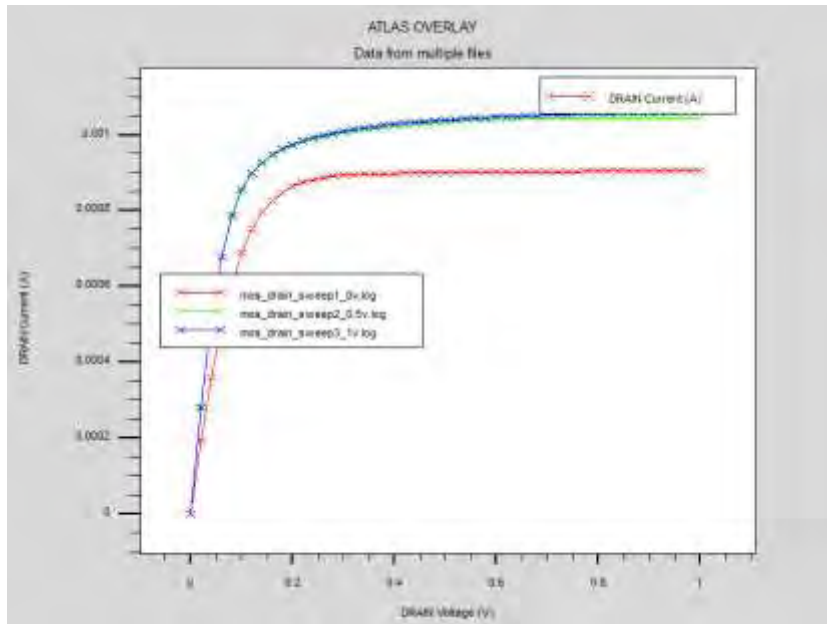


شکل ۷: ساختار DG CNTFET با طول گیت 20 nm

که خروجی برنامه در ادامه (شکل های ۸ و ۹) آمده است.



شکل ۸: ساختار دو بعدی قطعه‌ی DG-CNTFET



شکل ۹: رسم منحنی ولتاژ درین-سورس بر حسب جریان درین-سورس و با در نظر گرفتن ولتاژ گیت ثابت ($0.5V$ و $1V$)

($0.5V$ و $1V$)

۴- جمع بندی و پیشنهادات

نتایج تجربی ارائه شده نشان می‌دهد که ماسفت DG جدید با مواد نانو تیوب کربنی مشخصات خروجی زیر آستانه بسیار خوب و خروجی بدون اثرات کانال کوتاه دارد که نشان دهنده کوتاه‌ترین طول برای یک CNTFET خوب است.

نتایج نشان می‌دهد که جریان نشتی در DG CNTFET در مقایسه با DG MOSFET بسیار کوچک‌تر است، در حالی که جریان روشن در DG MOSFET بسیار بزرگ‌تر از DG CNTFET می‌باشد، یعنی با توجه به خروجی‌های بدست آمده $\frac{I_{ON}}{I_{OFF}}$ از DG CNTFET $6/0.5$ مرتبه بزرگ‌تر از است.

ترانزیستورهای اثر میدان نانولوله یکی از مورد توجه‌ترین قطعات برای استفاده در کاربردهای آتی الکترونیک می‌باشد. در این نوع ترانزیستورها الکترودهای فلزی در دو سو به عنوان سورس و درین عمل نموده و نانولوله کربنی بین آن دو نقش کانال عبوری حامل‌ها را ایفا می‌کند.

با توجه به ویژگی‌های خاص نانولوله‌های کربنی و شباهتی که به سیم‌های کوانتومی دارند، از آن میتوان به عنوان سیم یک بعدی نام برد که به حامل‌ها اجازه پراکندگی نداده و در نتیجه انتقال در طول آن به صورت بالیستیک خواهد بود. اگر چه نانو لوله‌های کربنی دارای خواص منحصر به فرد از قبیل سختی، مقاومت و سرسختی در مقایسه با سایر مواد به ویژه سیلیکون هستند، ولی ما هنوز قادر به تولید انبوه نبوده و هزینه‌های تولید بالا می‌باشد.

مهمترین اهداف کاری آینده CNTFET ها عبارتند از ترانزیستور با قابلیت اطمینان بالاتر، هزینه تولید ارزان، و یا تولید با عملکرد بیشتر. به عنوان مثال، تلاش‌های زیر را می‌توان مورد ارزیابی قرار داد: اضافه کردن تاثیرات خارجی به ترانزیستور نانولوله کربنی داخلی مانند سد شاتکی بین CNT و تماس‌های فلزی، نانولوله‌های متعدد در گیت تکی، خازنهای حاشیه کانال، مقاومت سورس/درین پارازیتی و سری کردن مقاومتها به دلیل اثرات پراکندگی .

منابع و مراجع

- Akers, L. A., ۱۹۸۱, *An analytical expression for the threshold voltage of a small-geometry MOSFET*, Solid State Electron, Vol. ۲۴, pp. ۶۲۱-۶۷۷.
- Anantram, M. P., Lundstrom, M. S., and Nikonov, D. E., ۲۰۰۶, *Modeling of Nanoscale Devices*, eprint arXiv:cond-mat/۰۶۱۰۲۴۷.
- Assad, F., Ren, Z., Datta, S., Lundstrom, M. S., and Bendix, P., ۱۹۹۹, *Performance limits of Si MOSFET's*, IEDM Tech. Digest, pp. ۵۴۷-۵۴۹.
- Bala, Sh. and Khosla, M., ۲۰۱۸, *Design and simulation of nanoscale double-gate TFET/tunnel CNTFET*, Journal of Semiconductors, Vol. ۳۹, No. ۲.
- Datta, S., ۲۰۰۵, *Quantum Transport: Atom to Transistor*, Cambridge University.
- Datta, S., ۱۹۹۷, *Electronic Transport in Mesoscopic Systems*. Cambridge, U.K. :Cambridge Univ. Press.
- Datta, S. , ۲۰۰۰, *Nanoscale device modeling: The greens function method*, Superlattices and Microstructures, Volume ۲۸, Issue ۴, pp. ۲۵۳-۷۷۸.
- Ferhati, H. and Djeflal, F., ۲۰۱۷, *Graded channel doping junctionless MOSFET: a potential high performance and low power leakage device for nanoelectronic applications*, J Comput Electron, DOI ۱۰,۱۰۰۷/s۱۰۸۲۵-۰۱۷-۱۰۵۲-۱.
- Ghanbari Shohany, B., Rezaie Roknabadi, M. and Kompany, A., ۲۰۱۸, *DFT-NEGF simulation of graphene-graphdiyne-graphene resonant tunneling transistor*, Computational Materials Science ۱۴۴ (۲۰۱۸) ۲۸۰-۲۸۴.
- Martinez, A., Svizhenko, A., Anantram, M. P., Barker, J. R., Brown, A. R., and Asenov, A., ۲۰۰۵, *A study of the effect of the interface roughness on a DG-MOSFET using a full 3D NEGF technique*, Electron Devices Meeting, ۲۰۰۵.
- Michielis, M. D., Esseni, D., and Driussi, F. , ۲۰۰۵, *Trade-off between Electron Velocity and Density of States in Ballistic nano-MOSFETs*, Solid-State Device Research Conference, ۲۰۰۵. ESSDERC ۲۰۰۵. Proceedings of ۳۵th European Volume , Issue , ۱۲-۱۶ Sept. ۲۰۰۵, pp. ۱۶۵ - ۱۶۸.
- Moaiyeri, M. H. and Razi, F., ۲۰۱۷, *Performance analysis and enhancement of ۱۰-nm GAA CNTFET-based circuits in the presence of CNT-metal contact resistance*, J Comput Electron, DOI ۱۰,۱۰۰۷/s۱۰۸۲۵-۰۱۷-۰۹۸۰-۰.
- Venugopal, R., ۲۰۰۳, *Modeling Quantum Transport in Nanoscale Transistors*, Purdue University.
- Zhibin Ren, Venugopal, R., Datta, S., Lundstrom, M. S., Jovanovic, D., and Fossum, J., ۲۰۰۰, *The ballistic nanotransistor: a simulation study*. In IEDM Technical Digest, pp. ۷۱۵-۷۱۸.